

ABSTRACT OF Korean Patent Application No. 10-2000-0036823

There is provided a semiconductor memory device and a method for fabricating the same. According to the present invention, the semiconductor memory device is efficiently capable of efficiently preventing plug's oxidation caused by forming a dielectric layer in an 5 oxidation ambient of high temperature. In order to overcome plug's oxidation in a process of forming a dielectric layer requiring an oxygen ambient of high temperature such as BST, PZT and SBT, a plug is formed of platinum having excellent electric conductivity and high-temperature aerotolerant characteristic. In addition, a capacitor bottom electrode for storage is formed by stacking IrO₂ and Pt, which have excellent oxygen-diffusion 10 prevention characteristic.

특 2002-0002599

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.	(11) 공개번호 특 2002-0002599
H01L 27/10	(43) 공개일자 2002년 01월 10일
(21) 출원번호 10-2000-0036823	
(22) 출원일자 2000년 05월 30일	
(71) 출원인 주식회사 하이닉스반도체 박종섭	
(72) 발명자 경기 이천시 부발읍 아미리 산136-1 홍석경	
(74) 대리인 경기도과현시 부평동 49주공아파트 809-505 특허법인 신성	
설사첨구 : <u>없음</u>	
(54) 클러그의 산화를 효과적으로 방지할 수 있는 반도체메모리 소자 및 그 제조 방법	

요약

본 발명은 고온 산화 분위기에서 유전막을 형성할 때 따른 클러그의 산화를 효과적으로 방지할 수 있는 반도체 메모리 소자 및 그 제조 방법에 관한 것으로,とりわけ BST, PZT 및 SBT와 같이 고온 산소 분위기 조건下에 요구하는 유전막 형성 과정 중 일어나는 클러그의 산화문제를 해결하기 위해서, 고온 내산화를 설정 전기 전도성이 우수한 Pt막(Pt)으로 클러그를 형성하는데 그 특징이 있다. 또한, 산소작산방지 특성이 우수한 IrO_x 및 Pt를 적층하여 축전을 위한 캐퍼시터 하부전극을 형성하는데 또 다른 특징이 있다.

도면도

도면

개인어

반도체, 메모리, 소자, 캐퍼시터, 유전막, 클러그, Pt, 확산장벽, IrO_x

장서서

도면의 관리와 설명

도 1은 쟁래 기술에 따른 반도체 메모리 소자 제조 공정 단면도,

도 2a 내지 도 2b는 본 발명의 실시 예에 따른 반도체 메모리 소자 제조 공정 단면도.

◆ 도면의 주요부분에 대한 도면 부호의 설명

36: 확산장벽막	37: 클러그용 Pt막
38: 하부전극용 IrO _x 막	39: 하부전극용 Pt막
40: 유전막	41: 상부전극용 Pt막

발명의 실체화 설명

도면의 특적

도면이 속하는 기술 및 그 도면의 종류기술

본 발명은 반도체 메모리 소자 제조 분야에 관한 것으로 특히, 고온 산화분위기에서 형성되는 유전막을 캐퍼시터의 축전을 위해 구비하는 반도체 메모리 소자에 있어서, 클러그 산화를 효과적으로 방지할 수 있는 반도체 메모리 소자 및 그 제조 방법에 관한 것이다.

특 2002-0002599

첨부된 도면 도 1은 BST((Ba,Sr)TiO₃)와 같은 고유전체를 캐퍼시터의 축전 층질로 사용하는 고전적 DRAM 소자 및 PZT(Pb(Zr,Ti,...)O₃) 또는 SBT(SrBi₂Ta₂O₉)와 같은 강유전체를 캐퍼시터 층질로 사용하는 FRAM 소자의 개략적인 메모리 셀 단면도이다.

도 1에 보이는 바와 같이 풀리 클리어 기술에 따른 반도체 메모리 소자의 제조 과정은, 소자보리막(11) 그리고 게이트 접연막(12)과 게이트 전극(13) 및 백타브 영역(14)으로 이루어지는 트랜지스터 형성이 완료된 반도체 기판(10)을 닦는 물간접연막(15) 내에 상기 트랜지스터의 엑티브(14)를 노출시키는 물막을 형성하고, 상기 물막을 내에 풀리실리콘 플러그(poly silicon plug)(16)를 형성한 다음, 전체 구조 상에 확산방지막(17)을 형성하고, 하부전극(18), 유전막(20) 및 상부전극(19)을 적층하여 캐퍼시터를 형성하는 과정을 포함한다.

FRAM 또는 DRAM 등과 같은 반도체 메모리 소자의 캐퍼시터는 상부전극(20), 전하 저장을 위한 유전막(19) 및 하부전극(18)의 적층구조로 구성되고, 풀리실리콘 플러그(16)를 통하여 트랜지스터의 엑티브 영역(드rain)의(14)과 전기적으로 연결된다. 캐퍼시터에서 저항되었던 전하는 트랜지스터의 채널을 통과하여 반대쪽 엑티브 영역(소오스)(도시하지 않음)으로 배제되간다.

BST와 같은 고유전체 또는 PZT 및 SBT와 같은 강유전체는 박막의 제조공정 온도가 매우 높고 일반적으로 산소분위기에서 공정이 진행된다. 또한, 캐퍼시터 형성 후에도 전기적 특성을 향상시키기 위해 고온의 산소분위기에서 후속 열처리 공정을 실시하여야 하는데, BST 및 PZT의 경우는 보통 600 °C 내지 750 °C, SBT의 경우는 보통 700 °C 내지 850 °C 온도에서 열처리 공정을 진행한다. 그런데 이와 같은 고온, 산소분위기에서 유전체를 증축하거나 속속 열처리를 진행하면 산소가 캐퍼시터 반원 내부로 침투하게 되고, 형은 SiO₂ 물연막이 형성되어 전하 저장 캐퍼시터와 트랜지스터의 엑티브 영역 간의 전기적 연결이 끊어지게 생긴다. 물론 아니라 하부전극을 Pt로 형성하여 Pt와 SiO₂ 직접 접촉하게 될 경우, 250 °C 이상의 온도에서 Pt와 SiO₂ 반응하여 PtSi가 쉽게 형성됨으로써 접촉저항을 크게 증가시키는 문제가 생긴다.

이러한 문제점을 해결하기 위하여 종래에는 도 1에 보이는 바와 같이, 캐퍼시터의 하부전극(18)과 풀리실리콘 플러그(16) 사이에 산소 및 Si에 대한 확산장벽막(17)을 형성한다. 이와 같이 풀리실리콘 플러그의 산화 및 PtSi가 형성되는 문제를 해결하기 위해 종래에는 상기 확산장벽막(17)을 TiN, (Ti,Al)_N 및 (Ti, Si)_N 등과 같은 Ti 절화막으로 형성한다.

그러나 Ti 절화막은 이전히 산소분위기, 650 °C 이상의 온도 조건에서 쉽게 산화되는 특성을 보인다. 즉, 캐퍼시터 형성 중에 하부전극을 통과한 산소가 TiN, TiAIN 및 TiSiN 등과 같은 Ti 절화막 또는 풀리실리콘 플러그와 반응하면 이를 낙락의 표면에 TiO_x, Al₂O_x 또는 SiO_x와 같은 물연막을 형성한다.

따라서, 하부전극을 통해 확산장벽으로 산소가 통과하는 것을 최대한 억제시키려는 시도가 함께 이루어지고 있다. 이러한 목적의 하부전극(18)으로는 Pt/Ir, Ir₆₂/Ir, Pt/Ir₆₂/Ir 또는 Pt/Ru와 같이 산소와 반응하여 산화물을 형성하더라도 전도성이 좋은 특성을 갖는 Ir 및 Ru 층을 상입한 확산장벽에 대한 연구가 진행되고 있다. 그러나, 이를 통합 전극도 아직까지 650 °C 이상의 온도에서는 산소의 확산 침투를 완벽하게 방지하지 못하는 문제가 있다.

따라서, BST, PZT 혹은 SBT와 같이 고온 산화 분위기에서 형성되는 유전막을 캐퍼시터의 축전 층질로 채용하는 고전적 DRAM 및 FRAM 소자 제조 과정에서 풀리실리콘 플러그의 산화를 효과적으로 방지하지 못하는 어려움이 있다.

포장이 이루어지려는 가속화 조건

상기와 같은 문제점을 해결하기 위한 본 발명은 고온 산화 분위기에서 유전막을 형성함에 따른 풀리실리콘 산화를 효과적으로 방지할 수 있는 반도체 메모리 소자 및 그 제조 방법을 제공하는데 목적이 있다.

포장의 구성 및 주증

상기와 같은 목적을 달성하기 위한 본 발명은, 트랜지스터 형성이 완료된 반도체 기판, 상기 반도체 기판을 닦는 물간접연막, 상기 물간접연막 내에 형성되어 상기 트랜지스터의 엑티브 영역을 노출시키는 물막, 상기 물막을 내에 형성된 Pt 플러그, 및 상기 물간접연막 및 상기 Pt 플러그를 닦는 하부전극, 유전막 및 상부전극으로 이루어지는 캐퍼시터를 포함하는 반도체 메모리 소자를 제공한다.

또한, 상기 목적을 달성하기 위한 본 발명은, 트랜지스터 형성이 완료된 반도체 기판 상에 물간접연막을 형성하는 제1 단계; 상기 물간접연막을 선택적으로 처리하여 상기 트랜지스터의 엑티브 영역을 노출시키는 물막을 형성하는 제2 단계; 상기 물막을 내에 Pt 플러그를 형성하는 제3 단계; 및 상기 물간접연막 및 상기 Pt 플러그를 닦는 하부전극, 유전막 및 상부전극으로 이루어지는 캐퍼시터를 형성하는 제4 단계를 포함하는 반도체 메모리 소자 제조 방법을 제공한다.

본 발명은, 풀리 BST, PZT 및 SBT와 같이 고온 산소 분위기 조건을 요구하는 유전막 형성 공정 등 일어나는 풀리 실리콘의 산화문제를 해결하기 위해서, 고온 내산화 특성 및 전도성이 우수한 백금(Pt)으로 풀리 실리콘을 형성하는데 그 특징이 있다. 또한, 산소 확산방지 특성이 우수한 IrO_x 및 Pt를 적층하여 캐퍼시터 하부전극을 형성하는데 또 다른 특징이 있다.

등 2002-0002589

화산 장벽층 또는 클러그가 산화되는 것을 방지하려면 산소가 확산 장벽층에 도달하기 어렵게 만드려주면 된다. 중래 기술에서 하부전극으로 널리 사용되고 있는 백금(Pt)은 업비트으로 스팍터링법(Sputter deposition)이나 유기금속 화학기상 증착법(Metal organic Chemical Vapor Deposition: MOCVD)으로 형성하는데, 이렇게 형성된 Pt 박막은 주로 혼란(Colossal type)의 대결정체이며 두께는 보통 500 Å 내지 2000 Å 정도이다. 따라서, 중래 캐파시터 형성 공정 중에 산소는 주로 혼란 형태의 결정체으로 이루어진 두께 2000 Å 미하의 Pt 하부전극을 쉽게 통과하여 절화막에 도달한다.

Pt 박막 표면에 있던 산소가 어떤 일의 온도(T) 및 시간(t)에서 Pt 박막 내부를 통과하여 일정거리 x 에 도달할 때, 도달거리(X_a)와 온도(T) 및 시간(t)사이에는 다음의 수학식 1과 같은 관계가 있다.

$$x = A \sqrt{2Bt}$$

수학식 1에서, ' A '는 비례상수이고, ' B '는 일의 온도(T)에서 Pt 박막 내의 산소 확산계수로서 Pt 박막의 결정립 혼란 등에 의해서 약간의 영향을 받는 변수이다. ' t '는 확산에 주어진 시간, 예를 들면 캐파시터 형성 공정 시간 및 후속 열처리공정 시간이고, ' X_a '는 산소가 Pt 박막 내부를 확산 통과하여 도달할 수 있는 거리이다. 따라서, ' X_a '가 하부전극 Pt의 두께를 경우, 즉, $X_a > 2000 \text{ \AA}$ 이면 확산장벽층은 산화된다. 그러므로, 확산장벽층이 산화되는 것을 방지하려면, Pt 두께를 매우 두껍게 하고, 통과하기 어려운 입상정(granule-type grain) 구조에서 산소가 쉽게 통과하기 쉬운 주상정(Column-type grain) 구조에서 산소가 통과하는데 매우 유리하다.

본 발명에서는 Pt를 하부전극 온도는 아닐리 큰력을 내부를 채우는 클러그 물질로 사용함으로써 Pt 박막의 두께를 적절적으로 크게 증가시켜 산소의 확산거리를 크게 증가시킨다.

또한 본 발명에서는, 큰력을 내부를 Pt로 채우기 위해서 매립(gap-filling) 특성이 매우 뛰어난 전기도금법(ElectroChemical Deposition: ECD)을 사용한다. ECD 방법으로 형성된 Pt를 사용함으로써 얻게 되는 또 하나의 장점은 비자항을 낮추기 위해서 Pt 매립공정 후에 저온 열처리를 실시하는 500 °C 미하의 후속 열처리 공정에서 Pt 결정립의 모양을 입상정(granule-type grain)으로 재결정화시킬 수 있다는 점이다. Pt 결정립이 입상정이 되면, Pt의 결정립계를 통해 확산하는 산소의 실제 확산거리를 더욱 증가시킬 수 있다. 따라서 큰력을 내부를 ECD 방법으로 형성된 Pt를 채워 Pt 클러그를 형성함으로써 물리적인 Pt 박막 두께의 증가 외에 Pt 박막 내부에서 산소가 확산해야 하는 확산경로를 크게 증가시키는 장점이 있다.

또한, 본 발명에서는 Pt 하부전극과 출간질연막 사이의 접착력을 증대시키기 위하여, 접착제 및 산소 확산 장벽 특성이 우수한 IrO_x층을 먼저 증착하고, Pt막을 증착하여 IrO_x층과 Pt막의 접촉 구조로 이루어지도록 하부전극을 형성한다.

이하, 협부된 도면 도 2a 내지 도 2b를 참조하여 본 발명의 실시예에 따른 반도체 메모리 소자 제조 방법을 상세하게 설명한다.

먼저 도 2a에 보이는 바와 같이, 실리콘 기판(30)에 소자분리막(31) 그리고, 게이트 절연막(32)과 게이트 전극(33) 및 액티브 영역(34)으로 이루어지는 트랜지스터를 형성한다.

다음으로 도 2b에 도시한 바와 같이, 전체 구조 상에 출간질연막(35)을 형성하고, 높낮이 차이를 없애기 위해 화학적기계적 연마하여 평坦하게 만든 후, 액티브 영역(34)을 노출시키는 큰액풀(C)을 형성한다.

이어서 도 2c에 보이는 바와 같이, 전체 구조 상에 Ti막/TiN 적층 구조로 이루어지는 확산방지막(36)을 형성하고, Si 기판(30)과 Ti막(31)을 반응시켜, 접촉 저항을 감소시키는 Ti-실리사이드(Ti-silicide)(도시하지 않음)를 형성시키기 위한 열처리 공정을 실시한다.

다음으로 도 2d에 도시한 바와 같이, 전기도금법으로 확산방지막(36) 상에 Pt를 전착(電着)시켜 Pt막을 내부를 채우는 클러그용 Pt막(37)을 형성한다. 미하 금이 매립특성이 매우 우수한 전기도금법(ElectroChemical Deposition: ECD)으로 백금(Pt)을 전착시켜 큰력을 내부를 채워 Pt 클러그를 형성한 후, 열처리를 실시한다. 상기 열처리 공정은 ECD법으로 증착된 클러그용 Pt막(37)의 결정(grain)을 재결정화시켜서 입상정(granule-type grain)으로 만들어 주기 위해 실시하는 것이다. Pt 결정립을 입상정으로 만들어 주면, Pt결정립계를 따라서 이동하는 산소의 확산 경로가 길어지는 장점이 있다.

이어서 도 2e에 보이는 바와 같이, 출간질연막(35)이 노출될 때까지 클러그용 Pt막(37)과 확산방지막(36) 제거하여, 클러그용 Pt막(37)과 확산방지막(36)이 큰액풀 내부에 만 남도록 하여 Pt 클러그를 형성한다.

다음으로 도 2f에 도시한 바와 같이, 전체 구조 상에 산소확산 방지를 위한 IrO_x막(38) 및 하부전극용 Pt막(39)을 스팍터링법으로 증착한다.

이어서 도 2g에 보이는 바와 같이, 마스크 공정과 적각 공정을 실시하여 하부전극용 Pt막(39)과 IrO_x막(38)을 패터닝하여 IrO_x막(38) 패턴 및 Pt막 하부전극을 형성한다.

다음으로 도 2h에 도시한 바와 같이, 전체 구조 상에 유전막(40) 및 산소증착용 Pt막(41)을 증착하여 피디스탈 헙(Pedestal-type) 구조의 캐파시터를 형성한다. 상기 유전막은 DRAM의 경우 (Ba, Sr)TiO₃(BST)와 같은 고유전 흙으로 형성하고, FRAM의 경우는 PbZrTiO₃(PZT) 또는 Sr_{0.8}Ti_{0.2}O₃(STO)과 같은 강유전체 흙으로 형성한다.

전술한 바와 같이 미루어지는 본 발명은 종류의 콜리실리콘 클러그를 대신하여 ECD 방법으로 Pt를 증착하고 열처리를 실시하여, 클러그를 이루는 Pt막의 결정립을 입상정(granule-type grain)으로 만드어 통으로

No 2002-0002593

써 산소의 확산경로를 크게 증가시켜, 캐퍼시터 제조공정 중 산소가 Pt 박막의 결정밀도를 통과하여 Ti/TiO_x 툴러그의 길이는 보통 12000 Å 미상이다. 따라서 본 발명과 같이 Pt로 툴러그를 형성할 경우의 Pt 하부전극의 혼마두께가 2000 Å임을 고려할 때, 7 배 이상 Pt 두께가 증가하는 효과를 갖는다. 따라서, 산소가 캐퍼시터 제조 공정 중에 14000 Å 두께의 Pt막을 풀고 그 하부에 위치한 확산증역막(36)에 도달하는 것을 효과적으로 억제할 수 있다.

또한, 하부전극과 툴러그 사이에 고온 산소 분위기에서 산소에 대한 확산 특성이 우수한 IrO_x층이 위치함으로써 산소가 Pt 툴러그 속으로 확산 혼마하는 것을 더욱 더 효과적으로 방지할 수 있다. 또한 상기 IrO_x층은 Pt 하부전극과 충간절연막의 접착력을 크게 증가시킴으로써 하부전극의 삽각 공정 및 세정 공정에서 Pt 하부전극이 벗겨지는 것을 효과적으로 억제할 수 있다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 보정이 가능하다는 것이며 본 발명이 속한 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

설명의 표제

상기와 같이 이루어지는 본 발명은, ECD법으로 증착된 Pt 툴러그 및 Pt와 IrO_x이 적층된 하부전극을 형성 함으로써, 종래 확산방지막인 TiN 및 헬리얼리콘 툴러그가 산화물에 따른 툴러그 저항을 증가를 방지하고, 하부전극을 충간절연막에 걸터하게 접착시킴으로서 BST, PZT 및 SBT를 캐퍼시터 풀필로 사용하는 고장착 메모리 소자를 통하여 쉽게 제조할 수 있다.

(A) 청구의 쟁여

청구항 1. 반도체 메모리 소자에 있어서,

트랜지스터 형성이 완료된 반도체 기판;

상기 반도체 기판을 닦은 충간절연막;

상기 충간절연막 내에 형성되어 상기 트랜지스터의 액티브 영역을 노출시키는 흰색층;

상기 흰색층 내에 형성된 Pt 툴러그; 및

상기 충간절연막 및 상기 Pt 툴러그를 닦는 하부전극, 유전막 및 상부전극으로 이루어지는 캐퍼시터를 포함하는 반도체 메모리 소자.

청구항 2. 제 1 항에 있어서,

상기 하부전극은,

충간절연막 및 상기 Pt 툴러그 상에 차례로 적층된 IrO_x막 및 Pt막으로 이루어지는 것을 특징으로 하는 반도체 메모리 소자.

청구항 3. 제 1 항 또는 제 2 항에 있어서,

상기 툴러그와 상기 반도체 기판 사이에 확산방지막을 더 포함하는 것을 특징으로 하는 반도체 메모리 소자.

청구항 4. 제 3 항에 있어서,

상기 유전막은,

(Ba,Sr)TiO₃(BST), PbZrTiO₃(PZT) 또는 SrBi₂Ta₂O₉(SBT)으로 이루어지는 것을 특징으로 하는 반도체 메모리 소자.

청구항 5. 반도체 메모리 소자 제조 방법에 있어서,

트랜지스터 형성이 완료된 반도체 기판 상에 충간절연막을 형성하는 제1 단계;

상기 충간절연막을 선택적으로 식각하여 상기 트랜지스터의 액티브 영역을 노출시키는 흰색층을 형성하는 제2 단계;

상기 흰색층 내에 Pt 툴러그를 형성하는 제3 단계; 및

상기 충간절연막 및 상기 Pt 툴러그를 닦는 하부전극, 유전막 및 상부전극으로 이루어지는 캐퍼시터를 형성하는 제4 단계

을 포함하는 반도체 메모리 소자 제조 방법.

특2002-0002599

청구항 6. 제 5 항에 있어서,
상기 제2 단계 후,

상기 제2 단계가 완료된 전체 구조 상에 확산방지막을 형성하는 단계를 더 포함하고,
상기 제3 단계는,

전기도금법으로 상기 확산방지막 상에 Pt막을 전착하는 단계;

상기 Pt막을 업치리하여 상기 Pt막의 골정을 입상정으로 변화시키는 단계; 및

상기 용간절연막이 노출될 때까지 상기 Pt막 및 상기 확산방지막을 제거하여 상기 Pt 플러그를 형성하는
단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자 제조 방법.

청구항 7. 제 5 항 또는 제 6 항에 있어서,

상기 하부전극은,

증간절연막 및 상기 Pt 플러그 상에 차례로 적층된 TiN막 및 Pt막으로 형성하는 것을 특징으로 하는 반
도체 메모리 소자 제조 방법.

청구항 8. 제 6 항에 있어서,

상기 확산방지막은,

Ti막 및 TiN막을 적층하여 형성하는 것을 특징으로 하는 반도체 메모리 소자 제조 방법.

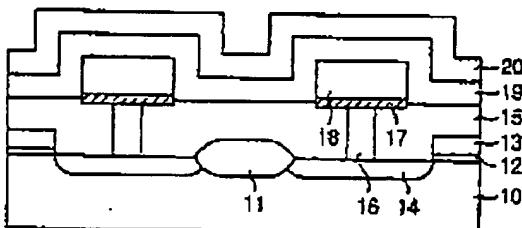
청구항 9. 제 7 항에 있어서,

상기 유전막은,

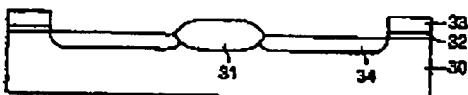
(Ba,Sr)TiO₃(BST), PbZrTiO₃(PZT) 또는 SrBi₂Ta₂O₉(SBT)으로 형성하는 것을 특징으로 하는 반도체 메모리
소자 제조 방법.

도면

도면 1

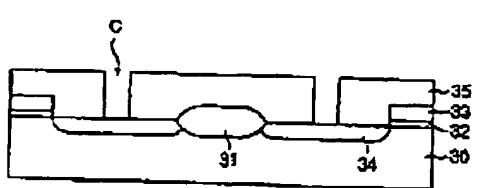


도면 2

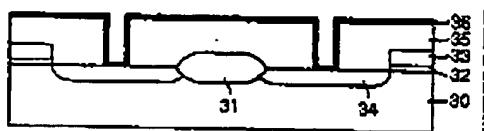


5002-0002599

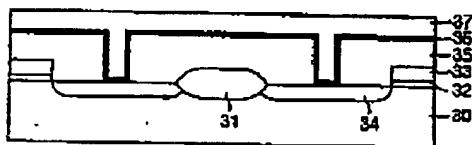
5002



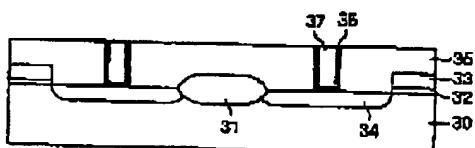
5002



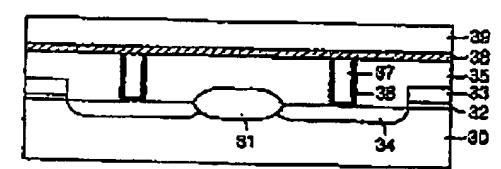
5002



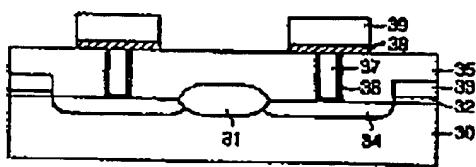
5002



5002



5002



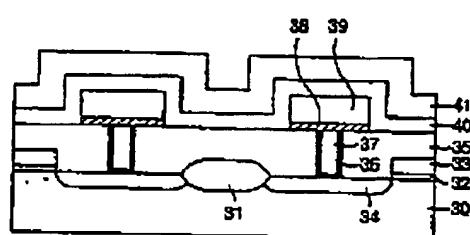
MAY. 27. 2005 10:19AM

MBS&S 919 854-1401

NO. 5855 P. 21

2002-0002569

5823



7-7